

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078636

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/316
H01L 27/04
H01L 21/822

(21)Application number : 06-207033

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1994

(72)Inventor : TAKAI KAZUAKI
NOSHIRO HIDEYUKI

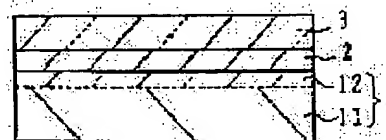
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE PROVIDED WITH CAPACITOR

(57)Abstract:

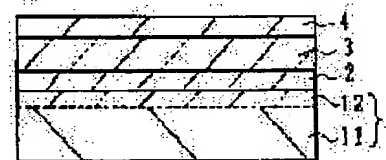
PURPOSE: To provide a semiconductor device which allows small leak current by manufacturing the semiconductor device by forming the capacitor dielectric film by sol-gel method.

CONSTITUTION: The manufacture includes a process of forming a bottom electrode 2 on a substrate, a process of coating the bottom electrode with liquid material formed by dissolving organic dielectric material in organic solvent and forming an dielectric film 3, a process of pre-baking the dielectric film 3 at a temperature which is higher than a temperature that allows the volatile component to evaporate and lower than the temperature that allows the dielectric to crystallize, process of forming a top electrode 4 on the dielectric film 3 and a process of baking the substrate whereupon a top electrode 4 is formed, at a temperature that allows the dielectric to crystallize or above.

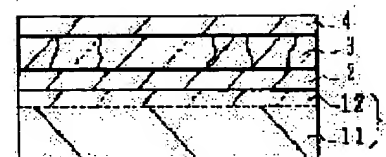
(A)



(B)



(C)



LEGAL STATUS

[Date of request for examination]

20.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78636

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/8242				
21/316	P	7735-4M	H 0 1 L 27/ 10	6 5 1
			27/ 04	C
審査請求 未請求 請求項の数13 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平6-207033

(22) 出願日 平成6年(1994)8月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 高井 一章

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 能代 英之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 キャパシタを有する半導体装置の製造方法

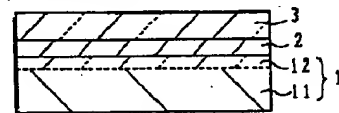
(57) 【要約】 (修正有)

【目的】 ソルゲル法を用いてキャパシタ誘電体膜を形成する半導体装置の製造方法に関し、リーク電流が少ない半導体装置を作成することのできる製造方法を提供する。

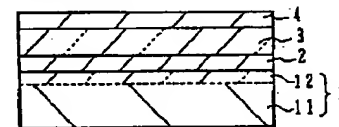
【構成】 基板上に下部電極2を形成する工程と、有機誘電体原料を有機溶媒に溶解した液体状原料を下部電極上に塗布し、誘電体膜3を形成する工程と、前記誘電体膜を揮発成分が蒸発する温度より高く、かつ誘電体が結晶化する温度より低い温度で仮焼成する工程と、前記誘電体膜上に上部電極4を形成する工程と、前記上部電極を形成した基板を前記誘電体が結晶化する温度以上の温度で本焼成する工程とを含む半導体装置の製造方法が提供される。

キャパシタの作成

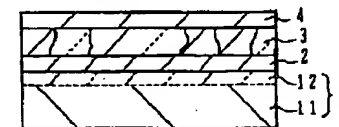
(A) 電極形成前



(B) 本焼成前



(C) 本焼成後



1: Si 基板 3: 誘電体層
2: 下部電極 4: 上部電極

【特許請求の範囲】

【請求項1】 (a) 下部電極を形成する工程と、

(b) 有機誘電体原料を有機溶媒に溶解した液体状原料を下部電極上に塗布し、誘電体膜を形成する工程と、

(c) 前記誘電体膜を揮発成分が蒸発する温度より高く、かつ誘電体が結晶化する温度より低い温度で仮焼成する工程と、

(d) 前記誘電体膜上に上部電極を形成する工程と、

(e) 前記誘電体が結晶化する温度以上の温度で本焼成する工程とを含む半導体装置の製造方法。

【請求項2】 前記工程(b)と工程(c)を複数回繰り返す請求項1記載の半導体装置の製造方法。

【請求項3】 前記誘電体が、チタン酸ストロンチウム、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸鉛、チタン酸ジルコン酸鉛ランタンから成る群より選択した少なくとも1種である請求項1ないし2記載の半導体装置の製造方法。

【請求項4】 前記上部電極を導電性酸化物または耐酸化性金属で形成する請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記上部電極を RuO_2 、 IrO_2 またはPtで形成する請求項4記載の半導体装置の製造方法。

【請求項6】 前記下部電極は、表面を粗面化した基板上に形成するものであり、前記工程(a)で基板表面上にPt膜を堆積する請求項1記載の半導体装置の製造方法。

【請求項7】 基板上に、厚さ1～20nmのTiまたはTaの密着膜を形成する工程と、前記密着膜上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法。

【請求項8】 基板の表面および裏面上にTiまたはTaの密着膜を形成する工程と、基板表面の密着膜上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法。

【請求項9】 基板表面を粗面化する工程と、前記粗面化した基板表面上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法。

【請求項10】 基板上にTiまたはTaの密着膜を形

成する工程と、

前記密着膜上にPt下部電極膜を形成する工程と、

前記下部電極膜上にゾルゲル法により第1誘電体膜を形成する工程であって、同時に前記密着膜を完全に酸化する工程と、

前記第1誘電体膜上にさらにゾルゲル法により第2誘電体膜を形成する工程と、

前記第1誘電体膜、第2誘電体膜を含む誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法。

10 【請求項11】 前記第1誘電体膜を形成するためのゾルゲル原料の濃度を前記第2誘電体膜を形成するためのゾルゲル原料の濃度より薄く設定した請求項10記載の半導体装置の製造方法。

【請求項12】 基板上にTi酸化物またはTa酸化物の密着層を形成する工程と、

前記密着膜上にPt下部電極膜を形成する工程と、

前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、

20 前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法。

【請求項13】 前記誘電体がチタン酸ストロンチウム、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸鉛、チタン酸ジルコン酸鉛ランタンから成る群より選択した少なくとも1種である請求項7～12のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、キャパシタを有する半導体装置の製造方法に関し、特にゾルゲル法を用いてキャパシタ誘電体膜を形成する半導体装置の製造方法に関する。

30 【0002】ここで、「ゾルゲル法」とは、有機金属を有機溶媒中に溶解した原料(必ずしもゾルないしゲルになっていることを要しないが、通例に従い、これをゾルゲル原料と呼ぶ)を基板上に塗布し、その後アニールを行なって結晶化した膜を得る成膜法である。一般に、アニールはゾルゲル原料から有機溶媒および有機基が蒸発する温度より高く、かつ結晶化が生じる温度よりも低い温度でアニールを行なう仮焼成と膜が結晶化する温度以上でアニールを行なう本焼成とを組み合わせて行なう。

40 【0003】

【従来の技術】半導体装置において、キャパシタはDRAMやノイズフィルタ等のフィルタ回路に用いられている。近年、半導体集積回路装置の微細化に伴い、キャパシタも微細化が求められている。

【0004】狭い面積で高い容量を実現するため、比誘電率の高い誘電体材料を用いたキャパシタを半導体装置に集積化することが研究されている。このため、半導体基板上に高品質の誘電体膜を成膜する技術の開発が望ま

【0005】高誘電率薄膜は、スパッタリング、CVD、MBE、ゾルゲル法等で成膜される。特に、ゾルゲル法は低コストで高いスループットを実現できる成膜法であり、近年注目を集めている。

【0006】図7を参照して、従来技術によるゾルゲル法の誘電体膜成膜技術を説明する。図7(A)に示すように、Si基板51上に、たとえば厚さ約100nmのTa膜52と厚さ約100nmのPt膜53とを積層する。Ta膜52は主にPt膜53の下地に対する密着性を向上させる機能を有する。Pt膜53が主に下部電極の役割を果たす。この下部電極53上に誘電体原料の有機化合物を有機溶媒中に溶解したゾルゲル原料をスピン塗布し、誘電体層54を作成する。なお、この段階では誘電体層54は誘電体原料の有機化合物であり、目的とする高誘電率の誘電体とはなっていない。

【0007】図7(B)に示すように、基板51を加熱し、誘電体層54からまず有機溶媒を蒸発させ、さらに誘電体原料の有機化合物の有機基を離脱させる。十分高温で焼成すると、誘電体原料の結晶化が進み、誘電体層54は結晶化し、高い誘電率を有する誘電体層54aに変化する。しかし、結晶化する際、誘電体層54a内で結晶粒が成長し、誘電体層は結晶粒の集合となってしま

う。

【0008】結晶粒の集合となった誘電体層54aは、図に示すように、大小の結晶粒の集合であり、表面が凹凸状になってしまう。すなわち、厚さが不均一な誘電体層が形成されている。

【0009】図7(C)に示すように、誘電体層54a表面上に上部電極55を成膜する。図に示すように、誘電体層54aは厚さが不均一であり、上部電極55は下部電極52と種々の距離で対向する。したがって、上部電極55と下部電極53間の距離が短い所でリーク電流が生じやすい。このようにして作成したキャパシタのリーク電流が大きくなってしま

【0010】

【発明が解決しようとする課題】従来技術によれば、半導体基板上に高誘電率薄膜を用いたキャパシタを作成すると、キャパシタのリーク電流が大きくなりやすい。

【0011】本発明の目的は、リーク電流が少ない半導体装置を作成することのできる製造方法を提供すること

【0012】

【課題を解決するための手段】本発明の一観点によれば、基板上に下部電極を形成する工程と、有機誘電体原料を有機溶媒に溶解した液体状原料下部電極上に塗布し、誘電体膜を形成する工程と、前記誘電体膜を揮発成分が蒸発する温度より高く、かつ誘電体が結晶化する温度より低い温度で仮焼成する工程と、前記誘電体膜上に上部電極を形成する工程と、前記上部電極を形成した基板を前記誘電体が結晶化する温度以上の温度で本焼成す

る工程とを含む半導体装置の製造方法が提供される。

【0013】本発明の他の観点によれば、基板上に、厚さ1-20nmのTiまたはTaの密着膜を形成する工程と、前記密着膜上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法が提供される。

【0014】本発明のさらに他の観点によれば、基板の表面および裏面上にTiまたはTaの密着膜を形成する工程と、基板表面の密着膜上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法が提供される。

【0015】本発明の他の観点によれば、基板表面を粗面化する工程と、前記粗面化した基板表面上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法が提供される。

【0016】本発明の他の観点によれば、基板上にTiまたはTaの密着膜を形成する工程と、前記密着膜上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により第1誘電体膜を形成する工程であって、同時に前記密着膜を完全に酸化する工程と、前記第1誘電体膜上にさらにゾルゲル法により第2誘電体膜を形成する工程と、前記第1誘電体膜、第2誘電体膜を含む誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法が提供される。

【0017】本発明の他の観点によれば、基板上にTi酸化物またはTa酸化物の密着層を形成する工程と、前記密着膜上にPt下部電極膜を形成する工程と、前記下部電極膜上にゾルゲル法により誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程とを含む半導体装置の製造方法が提供される。

【0018】

【作用】本発明者らは、従来技術によるキャパシタのリークが大きくなる原因は、(1)従来知られていた誘電体層結晶化の際の結晶粒の成長により表面凹凸のみでなく、(2)基板と下部電極の密着を保つためのTaもしくはTi層がアニールの際酸化され、基板が反ってしまい、そのため誘電体層にひび割れが生じることにもあることを見出した。

【0019】誘電体膜を形成した後、仮焼成を行ない、本焼成を行なう前に上部電極を形成することにより、本焼成における誘電体膜の結晶化が上部電極によって規制され、焼成後の誘電体膜の表面が平滑化される。厚さが均一化された誘電体膜が形成できるため、リーク電流が減少する。

【0020】基板と下部電極間に挟まれる密着膜の厚さを制限することにより、密着膜が酸化した時の体積膨張

10

20

30

40

50

が制限され、基板の反りが低減する。このため、下部電極上に形成する誘電体膜のひび割れが低減し、リーク電流が低減する。

【0021】密着膜を基板の表面および裏面上に形成することにより、密着膜が酸化した時に発生する応力が基板の両面で生じ、基板の反りが低減する。したがって、誘電体膜の反りも低減し、リーク電流が低減する。

【0022】基板表面を粗面化し、密着膜を設けず、直接下部電極を形成することにより、基板の反りを低減することができる。粗面化により下部電極と基板との密着力が増し、下部電極剥離の問題は減少する。このようにして、リーク電流を低減することができる。

【0023】下部電極上にゾルゲル法により第1誘電体膜を形成し、密着膜を完全に酸化することにより、基板の反りを発生させてしまう。第1誘電体膜の上に、さらにゾルゲル法により第2誘電体膜を形成すると、基板はもはや大きな変形(反り)を生じず、第2誘電体膜に発生する割れは減少する。このため、リーク電流を減少することができる。

【0024】密着膜として、初めから酸化物を堆積することにより、密着膜が酸化することによる体積膨張を回避することができる。したがって、基板の反りが防止され、リーク電流が低減する。

【0025】

【実施例】図1(A)-1(C)を参照して、本発明の実施例によるキャパシタを有する半導体装置の製造方法を説明する。

【0026】図1(A)に示すように、基板1の上に下部電極2を形成し、その上に有機誘電体原料を有機溶媒に溶解したゾルゲル液をスピン塗布し、誘電体層3を形成する。

【0027】なお、基板1としては、Si基板11の表面上にSi酸化膜12を形成したものや、Si酸化膜12の存在しないSi基板を用いることができる。下部電極2は、酸化ルテニウム RuO_2 、酸化イリジウム IrO_2 等の導電性酸化物やPt等の耐酸化性金属を用いることができる。誘電体層3は、チタン酸ストロンチウム(ST)、チタン酸ストロンチウムバリウム(BST)、チタン酸ジルコン酸鉛(PZT)、チタン酸ジルコン酸鉛ランタン(PLZT)等を用いることができる。誘電体層3のスピン塗布後、仮焼成を行ない、揮発成分を蒸発させる。なお、一回のスピン塗布、仮焼成によっては十分な膜厚の誘電体層を得られない場合は、スピン塗布、仮焼成を必要回数繰り返す。

【0028】図1(B)に示すように、仮焼成した誘電体層3の上に上部電極4を形成する。上部電極4も、下部電極と同様の材料で形成することができる。図1

(C)に示すように、上部電極4を形成した後、基板を加熱し、本焼成を行なう。仮焼成した誘電体層3は、この本焼成によって結晶化するが、上面を上部電極4によ

って覆われているため、結晶化による原子、分子の移動が制約され、上面は平坦なまま保たれる。このような仮焼成、本焼成をどのような条件で行なえばよいかを調べるため、以下に述べる実験を行なった。

【0029】図2を参照して焼成による誘電体膜の変化の様子を説明する。図2(A)は、ゾルゲル原料を加熱すると、その重量がどのように変化するかを示したグラフである。横軸にアニール温度を $^{\circ}C$ で示し、縦軸に重量変化を%で示す。重量変化が-10%とは、ゾルゲル原料の重量が10%減少することを示す。

【0030】図中曲線aに示すように、アニール温度が高くなれば、重量変化の絶対値は増大し、ゾルゲル原料の重量は減少する。まず、常温から120 $^{\circ}C$ 程度の温度領域においては、曲線a1に示すように、重量は温度の増加と共に急激に減少する。これはゾルゲル原料中の有機溶媒が蒸発することによるものと考えられる。

【0031】アニール温度が120 $^{\circ}C$ から240 $^{\circ}C$ 程度の領域においては、曲線a2に示すように、温度変化に対する重量変化は緩やかになっている。これは、有機溶媒がほぼ蒸発し尽くし、有機金属の有機基は未だ脱離しにくい温度領域であるためと考えられる。

【0032】アニール温度が約300 $^{\circ}C$ 程度以上になると、曲線a3に示すように、重量変化は再び大きくなる。この温度領域においては、有機金属の有機基が脱離するためと考えられる。

【0033】約320 $^{\circ}C$ 以上の温度領域においては、曲線a4に示すように、重量変化は極めて小さくなる。この温度領域においては、有機溶媒および有機金属の有機基がほぼ脱離し終わり、アニールによって蒸発する成分が減少するためと考えられる。

【0034】図2(B)は、アニール温度と比誘電率の関係を示すグラフである。横軸はアニール温度を $^{\circ}C$ で示し、縦軸は比誘電率を示す。図に示すように、アニール温度が650 $^{\circ}C$ を越えると、比誘電率は著しく増大を始める。アニール温度が700 $^{\circ}C$ 以上では、比誘電率の増大傾向は幾分弱まる。

【0035】図2(A)、(B)から判るように、仮焼成としては結晶化を生じない650 $^{\circ}C$ 以下の温度で、かつ揮発成分は蒸発させる約300 $^{\circ}C$ 以上の温度が好ましい。より好ましくは、約320 $^{\circ}C$ 以上、約650 $^{\circ}C$ 以下の温度で仮焼成を行なう。本焼成は、結晶化を積極的に促進する650 $^{\circ}C$ 以上の温度、さらに好ましくは700 $^{\circ}C$ 以上の温度とすることが好ましい。本焼成の上限温度は、半導体装置の他の構成要素によって定まる場合が多い。たとえば、下部電極の劣化を抑えるためには、850 $^{\circ}C$ 以下とすることが好ましい。

【0036】なお、この結果は高純度化学株式会社製のBST用ゾルゲル原料を用いた場合のものである。よって、ゾルゲル原料を変更することにより、仮焼成および本焼成の適切な温度範囲は変わる可能性がある。しか

し、今回と同様の方法を用いることにより、適切な温度範囲を決定することができる。

【0037】本実施例の効果を確認するため、サンプルを作成してリーク電流を測定した。Si基板11としては、(001)面を有するSi基板を用い、この上に熱酸化によって200nmの酸化膜12を形成した。下部電極2としては、厚さ100nmのTa膜と厚さ100nmのPt膜を積層した。なお、下部電極としての機能を果たすのはPt膜であり、Ta膜は下地の酸化膜12とPt膜との密着性を向上させるために用いる密着膜として機能する。

【0038】下部電極2上にBa₂、Sr₂、TiO₂を形成するためのゾルゲル原料をスピコート法で塗布した。このゾルゲル原料は、Ba、Sr、Tiの有機金属を有機溶媒に溶かしたもので、高純度化学株式会社より入手可能なものである。組成は、Ba: Sr: Ti = 0.7: 0.3: 1.0である。

【0039】この後の製造工程を、比較例を含めて3種類実験した。サンプルAは、誘電体膜3を成膜後、500℃、60分間の仮焼成、および700℃、60分間の本焼成を行ない、その後、上部電極4を形成した。

【0040】サンプルBは、誘電体膜3を形成した後、上部電極を形成した。その後、500℃、60分間の仮焼成および700℃、60分間の本焼成を行なった。サンプルCは、誘電体膜3を成膜後、500℃、60分間の仮焼成を行ない、その後、上部電極4を形成した。最後に、700℃、60分間の本焼成を行なった。各サンプルの上部電極は、DCスパッタ法で成膜したPt膜とした。また、焼成のアニール工程は全て酸素雰囲気中で行なった。

【0041】これら3種類のサンプルのリーク電流を測定した。測定方法は、下部電極をグランドに落とし、上部電極に電圧を加えた。測定結果を〔表1〕に示す。

【0042】

〔表1〕

サンプル	リーク電流 (+5V印加時)
A 比較例	1×10^{-5} A/cm ²
B 比較例	10^{-1} A/cm ² 以上
C 実施例	5×10^{-1} A/cm ²

上記実施例に従い、仮焼成と本焼成の間に上部電極を形成したサンプルCのリーク電流は、従来例によるサンプルAのリーク電流よりも2桁半少なく、リーク電流が著しく減少したことが判る。なお、上部電極形成後に仮焼成、本焼成を行なったサンプルBは、誘電体膜からの有機溶媒や有機基の蒸発により、積層構造がボロボロにな

っていた。このため、リーク電流も従来技術よりもさらに3桁も悪いものであった。

【0043】なお、焼成のアニール工程の前に上部電極を形成する本実施例の場合、アニール工程で電極が酸化され、絶縁体になるのを防ぐ必要がある。このため、電極は酸化されにくい金属もしくは導電性酸化物とすることが好ましい。上述の実施例のように、Ptを用いるか、導電性酸化物であるRuO₂、IrO₂等を採用することができる。

【0044】また、上述の実施例においては、誘電体薄膜の誘電体としてBa₂、Sr₂、TiO₂を用いたが、結晶化する際、表面が凹凸となる他の誘電体薄膜を用いた時も、同様の効果が得られる。たとえば、チタン酸ストロンチウム、ジルコン酸チタン酸鉛、ジルコン酸チタン酸鉛ランタン、他の組成のチタン酸ストロンチウムバリウム等を用いることができる。

【0045】図3(A)、(B)は、以上説明した誘電体膜を用いるキャパシタの応用例を示す。図3(A)はDRAMのメモリセルの構成を示し、図3(B)は汎用キャパシタの構成を示す。

【0046】図3(A)において、p型半導体基板11の表面上にゲート酸化膜13が形成され、その上に多結晶シリコンのゲート電極14が形成されている。このゲート電極14と自己整合した位置に、n⁺型のソース/ドレイン15、16が形成されている。ソース/ドレイン領域15には、ビット線18が接続され、ソース/ドレイン領域16には上述の実施例で説明したキャパシタCが接続される。キャパシタCは、下部電極2、誘電体膜3、上部電極4を含んで形成される。なお、キャパシタCおよびビット線18はSiO₂等で形成された層間絶縁膜12上に配置されている。

【0047】このようなDRAMセルにおいて、高誘電率薄膜を用いたキャパシタCを用いることにより、キャパシタの占有面積を減少させることが可能となる。したがって、メモリセルの占有面積を減少させ、集積密度を向上させることができる。

【0048】図3(B)は、汎用キャパシタの構成例を示す。Si基板11表面上にSiO₂膜12が形成されている。このSiO₂膜の上に、下部電極2、誘電体膜3、上部電極4が積層されてキャパシタを構成している。

【0049】なお、下部電極は図中右側に延在し、コンタクト領域を形成している。また、上部電極4は左側に延在し、同様のコンタクト領域を形成している。たとえば、移動体通信等に用いる半導体集積回路装置においては、外部よりノイズが侵入する可能性が高い。このような外部ノイズを吸収するためには、高い容量を有するキャパシタを信号入力端子に接続することが好ましい。

【0050】また、種々の半導体集積回路装置において、外部と接続されたパッド2は、サージ電圧等の高い

電圧ノイズが印加される可能性が高い。このような場合、図3(B)に示すようなキャパシタを配線やパッドに接続することにより、入来するノイズ電圧を吸収することができる。もちろん、ノイズカット用のみに限らず、フィルタ回路のC成分等、他の容量素子として用いることもできる。

【0051】なお、上述の実験において、下部電極として耐酸化性の高いPtを用いた。Ptは、SiやSiO₂への密着性が悪い。このため、Si基板上やSiO₂絶縁膜上に直接Pt膜を形成すると剥離しやすい。Pt膜を確実に基板上に形成するため、下部電極を積層構造とし、下層に密着用のTa膜を用いた。なお、Taの代わりにTiを用いることもできる。

【0052】本発明者は、このような構成において、新たな問題が発生することを見出した。図8(A)に示すように、Si基板61上に密着膜としてTa膜62を形成し、その上に下部電極としてPt膜63を形成した。Pt膜63上に誘電体膜64をスピン塗布し、その後、誘電体膜の焼成を行なった。

【0053】図8(B)に示すように、焼成後のSi基板61は誘電体膜側を凸に反ってしまう。この原因を究明すると、Ta膜62が酸化雰囲気中の焼成で酸化し、TaO_xとなり、体積が膨張していることが判った。このTa膜62の体積膨張により、基板上側を膨張させる応力が働いて、基板が上に凸に反るものと考えられる。

【0054】ところで、このような基板の反りが生じると、焼成後の誘電体膜64aは図に示すようにひび割れが生じやすい。誘電体膜64aにひび割れが生じると、その上に上部電極を形成した時、ひび割れ部で上部電極と下部電極間の距離が減少し、リーク電流を増大させてしまう。

【0055】図4(A)、(B)、(C)は、本発明の他の実施例による半導体装置の製造方法を説明するための概略断面図である。図4(A)において、半導体基板11上にSiO₂等の絶縁膜12が形成され、その上にTa等の密着膜21が形成されている。密着膜21上にはPt等の下部電極2、誘電体膜3、上部電極4が積層されている。

【0056】誘電体膜3を酸素雰囲気中で焼成する際、Ta膜21が酸化することによって基板の反りが生じるものと考えられる。基板の反りは、Ta膜21の体積膨張に依存する。Ta膜21が薄ければ生じる応力は少なく、基板の反りが制限されるであろう。そこで、Ta膜の厚さとリーク電流との関係を調べた。

【0057】図5は、Ta膜の厚さと結果として得られるキャパシタのリーク電流密度との関係を示すグラフである。図中横軸にTa膜の厚さをnmで示し、縦軸にリーク電流密度をA/cm²で示す。

【0058】図に示すように、Ta膜の厚さが薄くなると、リーク電流密度は減少している。Ta膜の厚さ20

nmにおいて、リーク電流密度は最低値を示し、その両側では変化の様子が著しく異なっている。すなわち、Ta膜の厚さが20nm以下であれば、リーク電流密度を著しく小さくすることができる。なお、Ta膜は密着膜としての機能を果たす必要があり、その厚さは1nm以上あることが必要である。

【0059】すなわち、図4(A)に示す密着膜21の厚さTを1-20nmの範囲に設定することにより、誘電体膜3を焼成しても基板11の反りを抑制し、リーク電流を最小限に制限することができるものと考えられる。

【0060】図4(B)は、他の実施例による製造方法を示す。酸化膜12を備えたSi基板11の表面上に密着膜21を形成するのみでなく、Si基板の裏面にも同様の密着膜22を形成する。その後、表面上に前述の実施例同様、下部電極2、誘電体膜3、上部電極4を形成する。

【0061】誘電体膜3の焼成の際、密着膜21、22が酸化し、体積膨張を生じると、基板11の表面および裏面ではほぼ同等の伸張応力が発生する。基板の両面で応力が発生するため、これらの応力はお互いに相殺し、大きな基板11の反りは発生しない。片面にのみTa膜を形成した場合と比べ、基板11の反りが低減するため、誘電体膜3のひび割れは低減し、リーク電流が減少する。

【0062】図4(C)は、本発明の他の実施例による半導体装置の製造方法を概略的に示す。基板の反りは、下部電極と半導体基板との間に密着膜を設けることに起因している。密着膜は、Pt膜と基板との密着性が悪いために用いる。もし、Pt膜が基板に十分な力を以て密着すれば、密着膜を設ける必要はなくなる。

【0063】Si基板11の上に酸化膜12aを形成した後、酸化膜表面をプラズマに曝したり、極めて薄い弗酸水溶液に浸すことにより、酸化膜12a表面を粗面化する。この粗面化した表面上にPt膜で形成した下部電極2を形成する。基板表面が粗面化しているため、Pt膜と基板との結合力が強まり、下部電極が基板から剥離することが低減する。

【0064】図4(A)、(B)、(C)に示す構成を作成するには、Si基板11上にSiO₂膜12を熱酸化等によって形成し、その後、上述の密着膜を形成するか、酸化膜12の表面を粗面化する。その後、表面上に下部電極、誘電体膜を形成し、誘電体膜の仮焼成、本焼成を行なう。その後、上部電極4を作成する。

【0065】図6は、本発明の他の実施例による半導体装置の製造方法を概略的に示す。図6(A)に示すように、前述の実施例同様Si基板11の表面上にTaの密着膜21を形成し、さらにその上にPtの下部電極2を形成する。下部電極2上にまず薄い誘電体層3aをゾルゲル法により形成する。

【0066】図6(B)に示すように、薄い誘電体膜3aを形成した基板に結晶化を生じさせる焼成を行なう。薄い誘電体膜3aが完全に結晶化する温度でアニールすると、密着膜21も酸化が進行し、Ta膜がTaO₅膜21aとなる。密着膜21aは、酸化により体積が膨張し、図に示すような応力が発生し、基板に反りが発生する。この反りにより、薄い誘電体膜3aはひび割れを生じる。

【0067】図6(C)に示すように、薄い誘電体膜3aの上に、全体が所望の厚さとなるように、さらに誘電体膜3bをゾルゲル法により形成する。なお、この工程においては、密着膜21は既に完全に酸化が進行していることに注意されたい。誘電体膜3bを結晶化させる焼成工程を行なっても、密着膜はほとんど新たな酸化を生じないため、基板の反りは変化しない。したがって、薄い誘電体膜3aの上に形成した誘電体膜3bにはひび割れが生じにくい。誘電体膜3b上に上部電極を形成すれば、リーク電流の少ないキャパシタが得られる。

【0068】さらに、図4(A)の構成において、密着膜21としてTaやTiの酸化膜を用いれば、その後、誘電体膜の焼成を酸素雰囲気中で行なっても、密着膜がさらに酸化することはない。したがって、誘電体膜にはひび割れが生じにくい。この場合は、図6(A)-(C)に示す実施例と同様な効果が得られる他、基板の反りも生じない効果が得られる。

【0069】これらの実施例の効果を確認するため、以下に示す実験を行なった。誘電体膜としては、Ba_{0.7}Sr_{0.3}TiO₃を用いた。Si基板11としては、(001)面を有するSi基板を用い、その表面上に熱酸化によって厚さ200nmの酸化膜12を形成した。その上に厚さはそれぞれ100nmとしたTa密着膜21、Pt下部電極2をDCスパッタ法で成膜した。また、Ta密着膜の代わりにTa酸化物膜を密着膜として用いる場合は、Taをターゲットとし、酸素雰囲気中でリアクティブDCスパッタリングによりTa酸化物膜を成膜した。

【0070】誘電体膜はゾルゲル原料をスピン塗布することによって形成した。なお、このゾルゲル原料の仮焼成は600℃で行ない、本焼成は700℃で行なった。ゾルゲル原料の濃度〔有機金属/(有機金属+溶媒)〕は、10wt%のものと1wt%のものを使い分けて用いた。なお、誘電体膜の形成において、ゾルゲル原料は2回塗りした。

【0071】サンプルD(従来例)

Si基板の酸化膜上に厚さ100nmのTa膜と厚さ100nmのPt膜を積層し、その上に10wt%のゾルゲル原料を塗布し、仮焼成を行ない、次に10wt%のゾルゲルを再び塗布し、仮焼成を行ない、その後、本焼成を行なった。

【0072】サンプルE

Si基板の酸化膜上に厚さを10-80nmの範囲で変化させたTa膜を形成し、その上に厚さ100nmのPt膜を形成した。このように形成した下部電極上に、10wt%の誘電体ゾルゲル原料を塗布し、仮焼成を行ない、再び10wt%のゾルゲル原料を塗布し、仮焼成を行ない、次に本焼成を行なった。

【0073】サンプルF

Si基板の酸化膜上および裏面上に厚さ100nmのTa膜を形成し、表面のTa膜の上に厚さ100nmのPt膜下部電極を形成した。この下部電極上に10wt%のゾルゲル原料を塗布し、仮焼成を行ない、再び10wt%のゾルゲル原料を塗布し、仮焼成を行ない、最後に本焼成を行なった。

【0074】サンプルG

Si基板の酸化膜表面を粗面化し、その上に厚さ100nmのPt膜を直接形成した。この下部電極上に10wt%のゾルゲル原料を塗布し、仮焼成を行ない、再び10wt%のゾルゲル原料を塗布し、仮焼成を行なった後、本焼成を行なった。

【0075】サンプルH

Si基板の酸化膜上に厚さ100nmのTa膜を形成し、その上に厚さ100nmのPt膜を形成した。このように形成した下部電極上に10wt%のゾルゲル原料を塗布し、仮焼成、本焼成を行なって完全に結晶化させた。その後、再び10wt%のゾルゲル原料を塗布し、仮焼成を行ない、続いて本焼成を行なった。

【0076】サンプルI

Si基板の酸化膜上に厚さ100nmのTa膜を形成し、その上に厚さ100nmのPt膜を形成した。この下部電極上に1wt%のゾルゲル原料を塗布し、完全に結晶化させるアニール処理を行なった。その後、10wt%のゾルゲル原料を塗布し、仮焼成、本焼成を行なった。

【0077】サンプルJ

Si基板の酸化膜上に密着層として厚さ100nmのTa₂O₅をスパッタリングにより成膜し、その上に厚さ100nmのPt膜をスパッタリングで形成した。この下部電極上に10wt%のゾルゲル原料を塗布し、仮焼成を行ない、再び10wt%のゾルゲル原料を塗布し、仮焼成を行ない、最後に本焼成を行なった。

【0078】これらのサンプルの上に、上部電極を形成し、リーク電流および容量密度を測定した。リーク電流は+5V印加時のリーク電流で測定した。また、容量密度は、印加電圧0V、周波数100kHzの時の容量密度を測定した。測定結果を以下の〔表2〕に示す。

【0079】

〔表2〕

サンプル	リーク電流 (+5 V印加時)	容量密度
D 従来例	$1 \times 10^{-8} \text{ A/cm}^2$	$15 \text{ fF}/\mu\text{m}^2$
E	$5 \times 10^{-7} \text{ A/cm}^2$ (図5)	$15 \text{ fF}/\mu\text{m}^2$
F	$4 \times 10^{-8} \text{ A/cm}^2$	$15 \text{ fF}/\mu\text{m}^2$
G	$3 \times 10^{-8} \text{ A/cm}^2$	$15 \text{ fF}/\mu\text{m}^2$
H	$7 \times 10^{-8} \text{ A/cm}^2$	$15 \text{ fF}/\mu\text{m}^2$
I	$7 \times 10^{-8} \text{ A/cm}^2$	$23 \text{ fF}/\mu\text{m}^2$
J	$2 \times 10^{-8} \text{ A/cm}^2$	$15 \text{ fF}/\mu\text{m}^2$

なお、サンプルIの容量密度が高いが、これは初めの誘電体薄膜を作成する際、濃度の薄い原料を用いたため、誘電体膜自体が薄いことに起因する。したがって、容量

密度に関しては各サンプルで差は見い出せない。
【0080】リーク電流は、従来技術によるサンプルDの値と比べ、他の実施例によるサンプルのリーク電流は少なくとも1桁半、サンプルE以外は2桁以上の向上を示している。

【0081】このように、基板の反り自身を低減するか、基板に反りが生じてもひび割れを生じない誘電体膜を形成することにより、リーク電流を減少できることが判る。このようにして作成したキャパシタは、図3に示すような半導体装置に集積化することができる。

【0082】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、図1、2に示す実施例と、図4、5、6に示す実施例とを組み合わせることもできる。その他、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0083】

【発明の効果】以上説明したように、本発明によれば、半導体装置に集積化したキャパシタのリーク電流を低減することができる。このため、高性能の半導体装置を提

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を説明するための概略断面図である。

【図2】図1の実施例における焼成による誘電体膜の変化を説明するためのグラフである。

【図3】図1の実施例により作成されるキャパシタの応用例を示す概略断面図である。

【図4】本発明の他の実施例によるキャパシタの製造方法を説明するための概略断面図である。

【図5】Ta膜の厚さに対するリーク電流密度の変化を示すグラフである。

【図6】本発明の他の実施例による半導体装置の製造方法を説明するための概略断面図である。

【図7】従来技術による半導体装置の製造方法を説明するための概略断面図である。

【図8】本発明者の実験により解明したリーク電流の原因を説明するための概略断面図である。

【符号の説明】

1 基板 (11 Si基板、12 酸化膜)

2 下部電極

3 誘電体膜

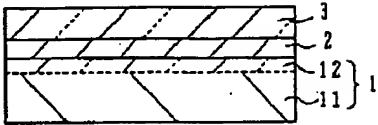
4 上部電極

21、22 密着膜

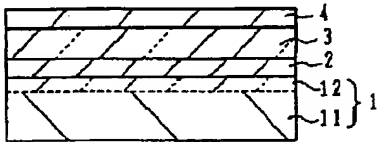
【図1】

キャパシタの作成

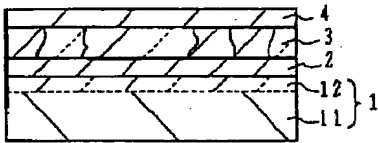
(A) 電極形成前



(B) 本焼成前



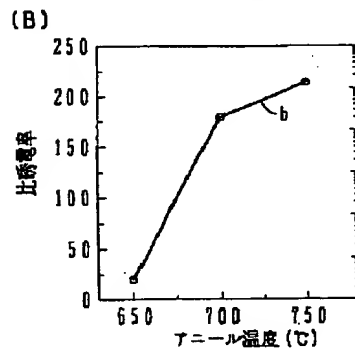
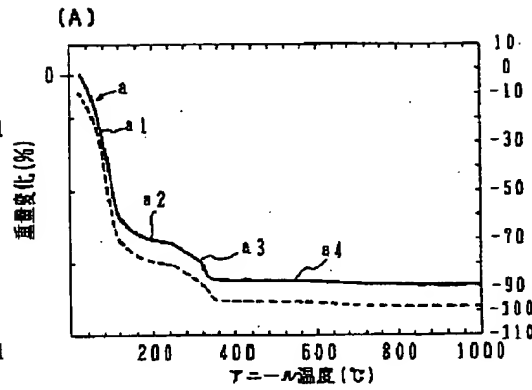
(C) 本焼成後



1: Si基板 3: 誘電体層
2: 下部電極 4: 上部電極

【図2】

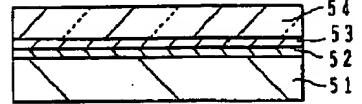
焼成による誘電体膜の変化



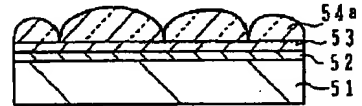
【図7】

従来技術

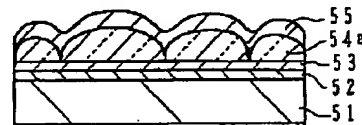
(A) 本焼成前



(B) 本焼成後



(C) 上部電極形成後

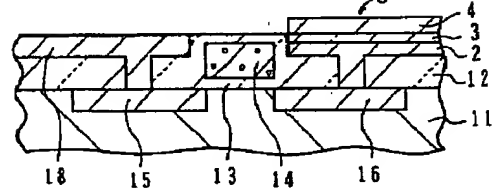


51: Si基板 54: 誘電体層
52: Ta膜 55: 上部電極
53: Pt膜(下部電極)

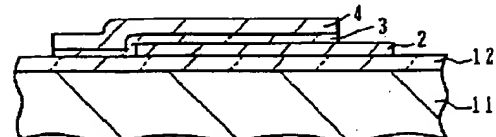
【図3】

応用例

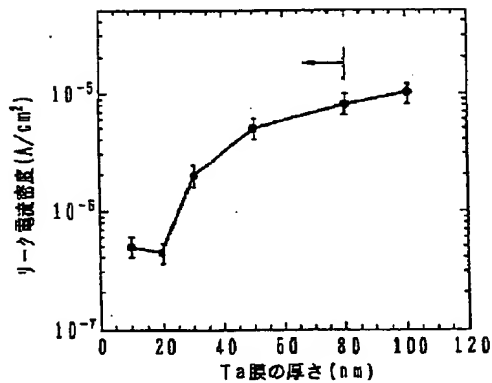
(A) DRAM



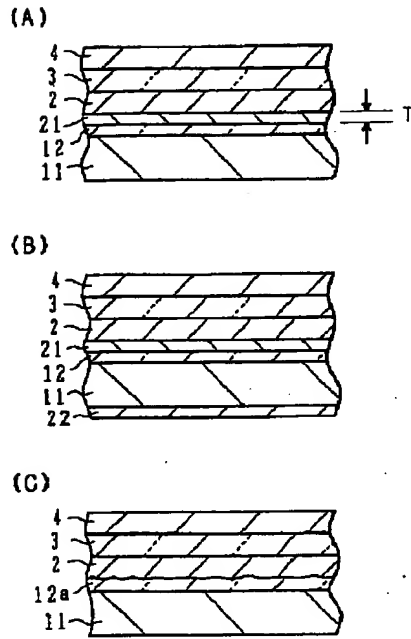
(B) 汎用キャパシタ



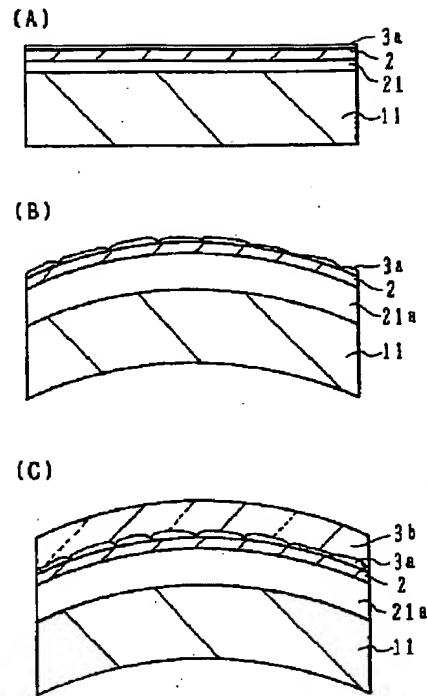
【図5】



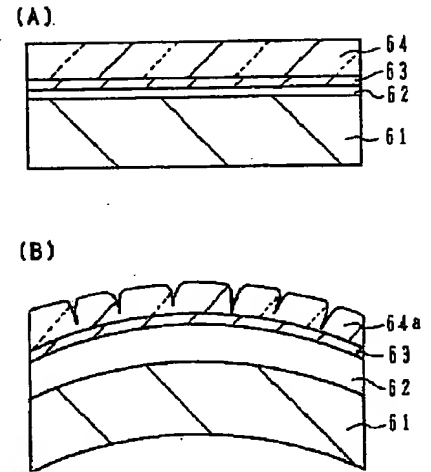
【図 4】



【図 6】



【図 8】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 27/04
21/822

識別記号

片内整理番号

F I

技術表示箇所